

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-9244
(P2002-9244A)

(43) 公開日 平成14年1月11日 (2002.1.11)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 1 L 27/04		G 0 6 F 17/50	6 5 8 K 5 B 0 4 6
21/822			6 5 8 V 5 F 0 3 8
G 0 6 F 17/50	6 5 8		6 6 6 V 5 F 0 6 4
		H 0 1 L 27/04	L
	6 6 6	21/82	L

審査請求 未請求 請求項の数14 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2000-185660 (P2000-185660)

(22) 出願日 平成12年6月21日 (2000.6.21)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 大竹 成典

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(72) 発明者 横溝 剛一

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100085811

弁理士 大日方 富雄

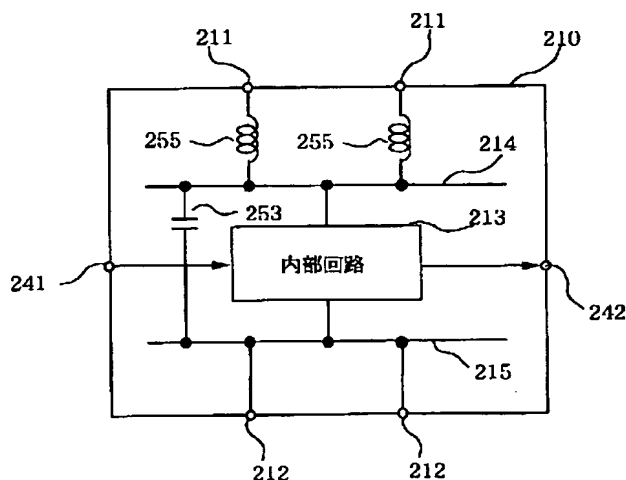
最終頁に続く

(54) 【発明の名称】 半導体集積回路および半導体集積回路の設計方法

(57) 【要約】

【課題】 内部回路の動作に悪影響を与えることなく電源電流変動が外部へ伝播してその高周波成分により電磁波が発生するのを有効に防止することができる半導体集積回路を実現する。

【解決手段】 複数の電源用パッド (211) と複数の接地電位用パッド (212) とを有する L S I において、上記複数の電源用パッドと L S I 内部の電源ラインとの間にそれぞれ冗長な配線からなり互いにインピーダンスの値がほぼ等しいインダクタ (255) を設ける一方、複数の接地電位用パッドと L S I 内部の接地ラインとの間にはインダクタを設けないようにした。



【特許請求の範囲】

【請求項1】 複数の第1外部端子と、複数の第2外部端子と、上記複数の第1外部端子に印加された第1の電源電圧を内部回路に供給するための第1電源ラインと、上記複数の第2外部端子に印加された第2の電源電圧を内部回路に供給するための第2電源ラインと、上記複数の第1外部端子と上記第1電源ラインとの間にそれぞれ接続されかつインピーダンスの値が互いにほぼ等しい複数のインダクタとを備えたことを特徴とする半導体集積回路。

【請求項2】 上記第1電源ラインと上記第2電源ラインとの間にはバイパスコンデンサが接続されていることを特徴とする請求項1に記載の半導体集積回路。

【請求項3】 複数の第1電源パッドと、複数の第2電源パッドと、上記複数の第1電源パッドに印加された第1の電源電圧を内部回路に供給するための第1電源ラインと、上記複数の第2電源パッドに印加された第2の電源電圧を内部回路に供給するための第2電源ラインと、上記複数の第1電源パッドと上記第1電源ラインとの間にそれぞれ接続されるとともに上記内部回路が上記第1電源ラインと接続されるノードまでのインピーダンスの値が互いにほぼ等しくなるように設定された冗長な配線によりなる複数のインダクタとを備えてなることを特徴とする半導体集積回路。

【請求項4】 上記複数のインダクタを構成する配線は、それぞれ半導体チップ周縁部を周回するように形成され、かつ各配線を流れる電流の向きが同じになるように対応する電源パッドと第1電源ラインとの間に接続されていることを特徴とする請求項3に記載の半導体集積回路。

【請求項5】 上記各インダクタは、半導体チップ上を周回するように形成された第1の配線層と、該第1の配線層と重なるように形成された第2の配線層とから構成され、上記第1の配線層の始端は上記複数の第1電源パッドのいずれかに接続され、上記第1の配線層の終端は上記第2の配線層の始端に接続され、上記第2の配線層の終端は上記第1電源ラインに接続されていることを特徴とする請求項4に記載の半導体集積回路。

【請求項6】 上記各インダクタは、半導体チップ上を周回するように形成された第1の配線層と、該第1の配線層と重なるように形成された第2の配線層とから構成され、上記第1の配線層と上記第2の配線層はこれらの配線層間を分離する絶縁膜に形成された打ち抜き穴にて低インピーダンスで接続されていることを特徴とする請求項4に記載の半導体集積回路。

【請求項7】 上記各インダクタを構成する配線層は、半導体チップの上記内部回路が形成されている領域を囲むように周回形成されていることを特徴とする請求項

4、5または6に記載の半導体集積回路。

【請求項8】 上記各インダクタを構成する配線層は、半導体チップの上記内部回路が形成されている領域の上方にて渦巻き状に形成されていることを特徴とする請求項4に記載の半導体集積回路。

【請求項9】 上記各インダクタを構成する配線層は、半導体チップの上記内部回路が形成されている領域の外側にて渦巻き状に形成されていることを特徴とする請求項3に記載の半導体集積回路。

10 【請求項10】 上記第1電源ラインおよび第2電源ラインは、半導体チップの上記内部回路が形成されている領域全体に亘って格子状もしくは網目状に形成されていることを特徴とする請求項3または4に記載の半導体集積回路。

【請求項11】 上記第1電源ラインを構成する配線層を容量の一方の電極とし、該一方の電極と絶縁膜を介して対向するように容量の他方の電極となる導電層が形成されて、バイパスコンデンサを構成していることを特徴とする請求項3または4に記載の半導体集積回路。

20 【請求項12】 上記一方の電極と上記他方の電極との間の絶縁膜には、これらの電極を構成する導電層とは別個に形成された導電層が設けられて、上記一方の電極と上記他方の電極との距離が狭くされていることを特徴とする請求項11に記載の半導体集積回路。

【請求項13】 上記一方の電極と上記他方の電極との間の絶縁膜には、これらの電極を構成する導電層とは別個に形成されかつ凹凸を有する導電層が設けられて、上記一方の電極と上記他方の電極との距離が狭くされかつ実質的な対向面積が大きくされていることを特徴とする請求項12に記載の半導体集積回路。

30 【請求項14】 第1外部端子と、第2外部端子と、前記第1外部端子に印加された第1の電源電圧を内部回路に供給するための第1電源ラインと、上記第2外部端子に印加された第2の電源電圧を内部回路に供給するための第2電源ラインと、上記第1外部端子と上記第1電源ラインとの間に接続されたインダクタとを備えた半導体集積回路を設計するにあたり、

上記第1電源ラインと上記第2電源ラインとの間に存在する電源抵抗を R_{chip} 、電源容量を C_{chip} 、上記第1外部端子に接続される外部電源の電圧を V_{CC0} 、半導体チップに印加される電源電圧が V_{chip} の場合、半導体チップ内のすべての電流源に流れる電流を合わせたものを I_{mac} 、 I_{mac} の時間平均を $Ave(I_{mac}(t))$ 、周波数 ω における電源電流ノイズ量 I_n の最大許容値を $I_{max}(\omega)$ 、チップの電圧低下量の許容値を ΔV としたときに、次の2つ式

【数1】

$$\frac{3}{\omega^2 C_{chip}} \left(\frac{\left(\frac{I_{mac}(\omega)}{I_{max}(\omega)} \cdot \frac{V_{CC0}}{V_{chip0}} \right)^2 \left((\omega C_{chip} R_{chip})^2 + 1 \right) - (\omega C_{chip} R_{chip})^2 + 1}{\omega^2 C_{chip}} - L_{board} \leq L_{chip} \right) \quad 4$$

【数 2】

$$\Delta V_{mac}(I_{mac}(f)) \cdot \frac{V_{CC0}}{V_{chip0}} \sqrt{\frac{L_{board} + L_{chip}}{C_{chip}}} \cdot \exp \left(-\frac{G}{\sqrt{4-G^2}} \arctan \left(\frac{(1-G^2)\sqrt{4-G^2}}{2G} \right) \right) \left(\frac{2}{\sqrt{4-5G^2+6G^4-G^6}} \right) \leq \Delta V$$

ただし、 $G = R_{chip} / \sqrt{\{(L_{package} + L_{chip}) / C_{chip}\}}$ を満足するように上記インダクタのインダクタンスの値と電源容量の値を選択するようにしたことを特徴とする半導体集積回路の設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路技術さらには電源電流ノイズの低減技術に関し、例えば半導体チップ上に形成されるデカップリング回路および該デカップリング回路を構成するインダクタのインダクタンス決定方式に利用して有効な技術に関する。

【0002】

【従来の技術】半導体集積回路（以下、LSIと称する）を使用したシステムでは、LSIの電源電流変動がLSI外部へ伝播してその高周波成分により電磁波が発生することが知られている。かかる電磁放射を抑制するための技術としては、図29に示すように、LSI200が搭載されるプリント基板上にインダクタ438とバイパスコンデンサ437とからなるデカップリング回路を設けたり、チップ内部の電源用パッド211とグランドパッド212との間にバイパスコンデンサ253を設ける技術が知られている。

【0003】また、電磁放射を抑制するため、半導体チップ上の電源電圧供給ラインに定電流源素子を設けるとともに電源電圧ラインと接地ラインとの間に容量手段を接続するようにした発明が提案されている（特開平6-309050号公報）。さらに、半導体集積回路の固定電位端子から電源の供給を受ける回路までの固定電位ラインをチップ上で引き回すことにより寄生インダクタンス成分を増加させ、電源電圧の変動を抑えるようにした発明も提案されている（特開平8-288462号公報）。

【0004】なお、電磁放射とは別に、LSI内部の電源電圧の変動により出力端子から外部回路へ伝播されるノイズを低減する技術として、LSI内部の電源配線を引き回すことでインダクタンス成分および抵抗成分を大きくするようにした発明も提案されている（特開平2-250371号公報）。

【0005】

【発明が解決しようとする課題】プリント基板上にインダクタとバイパスコンデンサとからなるデカップリング回路を設ける技術にあっては、プリント基板に実装される部品点数が増加して実装密度が低下するとともに、製

造コストが増加するという問題点がある。また、半導体チップ上の電源電圧供給ラインに定電流源素子を設けるとともに電源電圧ラインと接地ラインとの間に容量手段を接続するようにした発明にあっては、電源電圧供給ライン上の定電流源素子によって内部回路の実質的な電源電圧レベルが低下するという不具合がある。

【0006】さらに、固定電位ラインをチップ上で引き回すことにより寄生インダクタンス成分を増加させ、電源電圧の変動を抑えるようにした発明にあっては、電源電圧ラインのみならず接地ラインも引き回すようにしているが、接地ラインのインダクタンスを増加させると信号の応答性が悪くなるので望ましくない。また、LSI内部の電源配線を引き回すことでインダクタンス成分および抵抗成分を大きくするようにした発明にあっては、電源インピーダンスが増加するので、負荷駆動部分の電源電圧変動はかえって増加するという不具合がある。

【0007】この発明の目的は、内部回路の動作に悪影響を与えることなく電源電流変動が外部へ伝播してその高周波成分により電磁波が発生するのを有効に防止することができる半導体集積回路を提供することにある。

【0008】この発明の他の目的は、半導体集積回路の設計にあたり、電源電流ノイズを所望の値以下に抑えるのに必要な電源インダクタのインダクタンスおよび電源容量の値をシミュレーションによって容易に決定することができる設計技術を提供することにある。

【0009】この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添附図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0011】すなわち、本出願の第1の発明は複数の電源用パッドと複数の接地電位用パッドとを有するLSIにおいて、上記複数の電源用パッドとLSI内部の電源ラインとの間にそれぞれ冗長な配線からなり互いにインピーダンスの値がほぼ等しいインダクタを設ける一方、複数の接地電位用パッドとLSI内部の接地ラインとの間にはインダクタを設けないようにしたものである。

【0012】より、具体的には、複数の第1電源パッドと、複数の第2電源パッドと、上記複数の第1電源パッドに印加された第1の電源電圧を内部回路に供給するための第1電源ラインと、上記複数の第2電源パッドに印

加された第2の電源電圧を内部回路に供給するための第2電源ラインと、上記複数の第1電源パッドと上記第1電源ラインとの間にそれぞれ接続されるとともに上記内部回路が上記第1電源ラインと接続されるノードまでのインピーダンスの値が互いにほぼ等しくなるように設定された冗長な配線によりなる複数のインダクタとを設けるようにした。

【0013】上記した手段によれば、複数の外部電源端子と半導体集積回路内部の電源ラインとの間にそれぞれインダクタが設けられているため、インダクタにより電源電流の変動を抑制することができ、これによって電源電流ノイズが半導体集積回路の外部へ伝播してその高周波成分により電磁波が発生するのを有効に防止することができる。また、複数の外部接地端子とLSI内部の接地ラインとの間には意図的なインダクタが設けられていないため、信号の応答性が低下することがない。さらに、複数の外部電源端子と複数のインダクタを有するので、外部電源端子とインダクタが一つの場合に比べて、トータルの電源インダクタンスを大きくしかつ電源インピーダンスを下げるができる。

【0014】また、望ましくは、上記複数のインダクタを構成する配線は、それぞれ半導体チップ周縁部を周回するように形成され、かつ各配線を流れる電流の向きが同じになるように対応する電源パッドと第1電源ラインとの間に接続されるように構成したものである。インダクタを設けない従来の半導体集積回路に比べてそれほどチップサイズを増大させることなく所望のインダクタンスを有するインダクタを形成することができる。

【0015】さらに、望ましくは、上記各インダクタは、半導体チップ上を周回するように形成された第1の配線層と、該第1の配線層と重なるように形成された第2の配線層とから構成され、上記第1の配線層の始端は上記複数の第1電源パッドのいずれかに接続され、上記第1の配線層の終端は上記第2の配線層の始端に接続され、上記第2の配線層の終端は上記第1電源ラインに接続されるようにする。つまり、インダクタを互いに重なった上下2つの配線層からなる2重のコイルとする。これによって、占有面積を増大させることなくインダクタンスを大きくすることができる。

【0016】また、上記各インダクタは、半導体チップ上を周回するように形成された第1の配線層と、該第1の配線層と重なるように形成された第2の配線層とから構成され、上記第1の配線層と上記第2の配線層はこれらの配線層間を分離する絶縁膜に結成された打ち抜き穴にて低インピーダンスで接続されるようにしても良い。つまり、インダクタを互いに重なった上下2つの配線層を絶縁膜に形成した打ち抜き穴で接続した1重のコイルとする。これによって、占有面積を増大させることなくインダクタの抵抗成分を減らし、内部回路の電源電圧を十分に確保することができる。

【0017】また、上記各インダクタを構成する配線層は、半導体チップの上記内部回路が形成されている領域を囲むように周回形成するようにしてもよい。これによって、インダクタを構成する配線層を内部回路の電源ラインや信号ラインを構成する配線層で形成することができ、プロセスを複雑にすることなくインダクタを形成することができる。

【0018】さらに、上記各インダクタを構成する配線層は、半導体チップの上記内部回路が形成されている領域の上方にて渦巻き状に形成するようにしてもよい。これによって、占有面積を増大させることなくさらにインダクタンスを大きくすることができる。

【0019】また、上記各インダクタを構成する配線層は、半導体チップの上記内部回路が形成されている領域の外側にて渦巻き状に形成するようにしてもよい。これによって、インダクタを構成する配線層を内部回路の電源ラインや信号ラインを構成する配線層で形成することができ、プロセスを複雑にすることなくインダクタを形成することができる。

【0020】さらに、上記第1電源ラインおよび第2電源ラインは、半導体チップの上記内部回路が形成されている領域全体に亘って格子状もしくは網目状に形成するのが望ましい。これによって、第1電源ラインおよび第2電源ラインの寄生抵抗を減らすことができ、内部回路の電源電圧を十分に確保することができる。

【0021】さらに、上記各インダクタを構成する配線層と上記第1電源ラインとが並行する部分に、当該インダクタを構成する配線層または上記第1電源ラインを構成する配線層を容量の一方の電極とし、該一方の電極と絶縁膜を介して対向するように容量の他方の電極となる導電層を形成して、バイパスコンデンサを構成するのが望ましい。これによって、チップサイズを増大させることなく所望の容量値を有するバイパスコンデンサを形成することができる。

【0022】また、上記一方の電極と上記他方の電極との間の絶縁膜には、これらの電極を構成する導電層とは別個に形成された導電層を設けて、上記一方の電極と上記他方の電極との距離を狭くするようにするのが良い。これによって、面積を増大させることなく大きな容量値を得ることができる。

【0023】さらに、上記一方の電極と上記他方の電極との間の絶縁膜には、これらの電極を構成する導電層とは別個に形成されかつ凹凸を有する導電層を設けて、上記一方の電極と上記他方の電極との距離を狭くしかつ実質的な対向面積を大きくすると良い。これによって、面積を増大させることなくさらに大きな容量値を得ることができる。

【0024】また、本出願の他の発明は、LSIチップに内蔵させる電源インダクタのインダクタンスの値と電源容量の値を決定するにあたり、チップの電源抵抗をR

7

chip、電源容量をCchip、外部電源源の発生電圧をVCC0、チップに自身に印加される電源電圧をVchip、チップ内のすべての電流源に流れる電流を合わせたものをImac、Imacの時間平均をAve(I mac(t))、周波数ωにおける電源電流ノイズ量Inの最大許容値をImax

$$\frac{\sqrt{\left(\frac{Imac(\omega)}{Imax(\omega)} \cdot \frac{VCC0}{Vchip0}\right)^2 \left((\omega Cchip Rchip)^2 + 1\right) - (\omega Cchip Rchip)^2} + 1}{\omega^2 Cchip} - Lboard \leq Lchip$$

【0026】

$$Ave(I mac(t)) \cdot \frac{VCC0}{Vchip0} \sqrt{\frac{Lboard + Lchip}{Cchip}} \cdot \exp\left(-\frac{G}{\sqrt{4-G^2}} \arctan\left(\frac{(1-G^2)\sqrt{4-G^2}}{2G}\right)\right) \left(\frac{2}{\sqrt{4-5G^2+6G^4-G^6}}\right) \leq \Delta V$$

を満足するように電源インダクタのインダクタンスの値と電源容量の値を選択するようにしたものである。なお、上記式(数4)において、Gは、 $G = Rchip / \sqrt{\{(Lpackage + Lchip) / Cchip\}}$ で表わされる変数である。また、電源電流ノイズとは、LSIチップから外部に漏れる電流のノイズすなわちLSIチップに電流を流しているときにチップの電源端子を外部から観測した場合に見えるノイズである。一方、電圧低下量の許容値とは、チップに電流Imacを流したときに電源電圧に生じる電圧低下でLSIが誤動作しないのを保証する限界の電圧値である。

【0027】上記した手段によれば、電源電流ノイズを所望の値以下に抑えるのに必要な電源インダクタのインダクタンスおよび電源容量の値をシミュレーションによって容易に決定することができる。

【0028】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基いて説明する。

【0029】図1は本発明を適用した半導体集積回路の概略構成を示すものである。図1において、210は半導体集積回路が形成される単結晶シリコンのような半導体チップ、211はチップ210の周縁部に設けられた電源用パッド、212は接地電位用パッド、213は内部回路、214は内部回路に接続された電源ライン、215は内部回路に接続されたグラウンドラインであり、チップ上には複数の電源用パッド211と複数の接地電位用パッド212が設けられており、各電源用パッド211と電源ライン214との間にはそれぞれインダクタ255が設けられている。一方、接地電位用パッド212とグラウンドライン215とはインダクタを介さずに直接接続されている。また、上記電源ライン214とグラウンドライン215との間には、バイパスコンデンサ253が設けられている。

【0030】なお、241は内部回路213に入力される信号用の入力パッド、242は内部回路213より出力される信号用の出力パッドである。図1には電源用パッド211と接地電位用パッド212がそれぞれ2個ずつ示されているが、パッドの数は2個に限定されず何個

8

(ω)、チップの電圧低下量の許容値をΔVとしたときに、次の2つ式

【0025】

【数3】

10 【数4】

あってもよい。また、電源用パッド211の数と接地電位用パッド212の数は同一でなくても良い。さらに、入力パッド241と出力パッド242も図にはそれぞれ1つが代表的に示されているが、実際の回路ではそれぞれ複数個設けられる。バイパスコンデンサ253は、チップ上にて積極的に容量を付けるようにしても良いが、もともと電源ライン214とグラウンドライン215間に存在するカップリング容量で十分な場合には積極的に設けるのを省略することも可能である。

【0031】次に、図2～図10を用いて半導体チップ上において各電源用パッド211と電源ライン214との間に設けられるインダクタ255の具体的な構成例を説明する。

【0032】図2においては、3個の電源用パッド211a、211b、211cがチップ周縁部に設けられ、電源用パッド211aにはチップの周縁をほぼ1周するように形成された配線層La1～La5からなるインダクタが、引出し線La0を介して接続されている。上記配線層のうち縦方向の配線層La1、La3、La5が第5層目の配線層で形成され、横方向の配線層La0およびLa2、La4は第4層目の配線層で形成されている。同様に、電源用パッド211bにはチップの周縁をほぼ1周するように形成された配線層Lb1～Lb5からなるインダクタが、引出し線Lb0を介して接続され、電源用パッド211cにはチップの周縁をほぼ1周するように形成された配線層Lc1～Lc5からなるインダクタが、引出し線Lc0を介して接続されている。しかも、これらのインダクタを構成する配線層は、そのインピーダンスが高くならないように、比較的広い幅を有するように形成されている。幅を広げる代わりに、厚みを厚くして配線層の断面積を大きくするようにしても良い。

【0033】そして、各インダクタを構成する配線層La5、Lb5、Lc5の終端は、内部回路の電源ライン214に接続されている。このように、図2の実施例においては、各電源用パッド211a、211b、211cから内部回路の電源ライン214までの長さが同一にすなわち各パッドに接続されるインダクタのインダクタ

50

ンスが同一になるように構成されていると共に、各電源用パッドからそれぞれチップの中央部を中心として同一の向きに電流が流れるように電源用パッドとインダクタを構成する配線層との接続がなされている。

【0034】また、各インダクタを構成する配線層L a 5, L b 5, L c 5の終端に接続される内部回路の電源ライン214は、図3に示すように横方向の4層目の配線層L11, L12, L13, L14, L15と、縦方向の5層目の配線層L21, L22, L23, L24, L25とが格子状に形成されることにより、チップ上の内部回路に対する電源配線抵抗ができるだけ均一になるようにされている。

【0035】一方、接地電位用パッド212に関しては、図2に示されているように、電源用パッド211と同様に3個設けられているものの、各接地電位用パッド212a, 212b, 212cは直接的に内部回路のグラウンドライン215を構成する配線層に接続されている。そして、内部回路のグラウンドライン215は、図3に示されているように、内部回路の電源ライン214と同様、横方向の4層目の配線層L31, L32, L33, L34, L35と、縦方向の5層目の配線層L41, L42, L43, L44, L45とから格子状に形成されている。

【0036】さらに、電源ライン214とグラウンドライン215が並行している部位の適当な箇所にはバイパスコンデンサを構成する容量領域253a, 253b, 253c, 253d, 253e, 253fが設けられている。なお、バイパスコンデンサを構成する容量は、上記容量領域253a, 253b, 253c, 253d, 253e, 253f以外にも、電源ライン214を構成する配線層とグラウンドライン215を構成する配線層とが交差する箇所にも形成される。

【0037】図4は、電源インダクタ255の第2の実施例を示す。図2の実施例においては内部回路の電源ライン214の外側に電源インダクタを構成する配線層を形成しているため、従来のLSIに比べてチップサイズが若干大きくなるという不具合があるので、この第2の実施例においては、内部回路の格子状電源ライン214の外枠部分に当たる配線層の上方に、第6層目の配線層を使用して電源インダクタ255を構成するようにしている。

【0038】また、図2の実施例においては電源インダクタ255を構成する配線層を第4層と第5層の2層で形成しているため、層間接続のためのスルーホールTHの分だけ抵抗が高くなるが、この第2の実施例においては、第6層目の配線層のみで電源インダクタ255を構成することができるため、スルーホールが不用になり、その分図2の実施例よりも抵抗を減らすことができるという利点もある。なお、図4においては、図面を簡略化するために1つの電源用パッド211とそれに接続され

た電源インダクタ255を構成する配線層のみを図示しているが、図2と同様に、複数の電源用パッドとそれぞれに接続された電源インダクタが設けられる。

【0039】図5は、電源インダクタ255の第3の実施例を示す。この実施例は、図4の実施例において、電源インダクタ255を構成する第6層目の配線層L6の上にさらに第7層目の配線層L7を形成し、この配線層L7の始端を電源用パッド211に接続すると共に、配線層L7の終端を配線層L6の始端に接続して2重のコイルを経た後、配線層L6の終端を内部回路の電源ライン214に接続するようにしたものである。図6に図5のA-A線に沿った断面構造が示されている。この実施例によれば、占有面積を増やすことなく電源インダクタ255のインダクタンスを図4の実施例の約2倍にすることができる。

【0040】図7は、電源インダクタ255の第4の実施例を示す。この実施例は、図4の実施例において、電源インダクタ255を構成する第6層目の配線層L6の上にさらに第7層目の配線層L7を形成し、この配線層L7とその下の配線層L6とを多数のスルーホールTH1, TH2, TH3……で接続するようにしたものである。なお、図7に図5のA-A線に沿った断面構造を示す図6と同一箇所の断面を示す。この実施例によれば、占有面積を増やすことなく電源インダクタ255の寄生抵抗を図4の実施例の約1/2にすることができる。

【0041】図8は、電源インダクタ255の第5の実施例を示す。この実施例は、図5の実施例において、電源インダクタ255を構成する第6層目の配線層L6の上にさらに第7層目の配線層L7を形成して2重のコイルを構成する代わりに、配線層L6を渦巻き状に形成して電源インダクタ255のインダクタンスを高くしたものである。この実施例では、配線層L6からなる渦巻きパターンの内端が第7層目の配線層からなる引出し線L71を介して電源用パッド211に接続されていると共に、配線層L6からなる渦巻きパターンの外側の終端が内部回路の電源ライン214に接続されている。この実施例によれば、占有面積を増やすことなく電源インダクタ255のインダクタンスをさらに増加させることができる。

【0042】図9は、電源インダクタ255の第6の実施例を示す。この実施例は、図8の実施例において、電源インダクタ255を構成する渦巻き状の第6層目の配線層L6上にさらに第7層目の配線層からなる渦巻きパターンL72を形成して電源インダクタ255のインダクタンスをさらに高くしたものである。なお、この実施例では、配線層L6からなる渦巻きパターンと第7層目の配線層からなる渦巻きパターンL72は渦の巻き方向が同一すなわちそれぞれ渦巻きパターンを流れる電流の向きが同じになるように各配線層の接続がなされている。それぞれの渦巻きパターンに流れる電流の向きが逆

であるとインダクタンスが小さくなるためである。この実施例では、第7層目の配線層からなる渦巻きパターンL72の外側の始端が電源用パッド211に接続されていると共に、配線層L6からなる渦巻きパターンの外側の終端が内部回路の電源ライン214に接続されている。この実施例によれば、占有面積を増やすことなく電源インダクタ255のインダクタンスを図8の実施例の約2倍にすることができる。

【0043】図10は、電源インダクタ255の第7の実施例を示す。この実施例は、内部回路形成領域の外側にインダクタ形成領域を設けて、第4配線層（または第5配線層）からなる渦巻きパターンを形成してインダクタとしたものである。渦巻きパターンの一端は内部回路の電源ライン214に接続され、他端は第5層目（または第4層目）の配線層からなる引出し線La10により電源用パッド211に接続される。この実施例によれば、占有面積は増加するが、配線層を追加することなく電源インダクタ255を形成することができる。

【0044】図11には、図3に示されている容量領域253a~253fや、電源ライン214を構成する配線層とグラウンドライン215を構成する配線層とが交差する箇所形成されるバイパスコンデンサを構成する容量の具体的な構造の一例を示す。なお、図11は図3にB-B線で示されているような箇所を断面したものである。

【0045】図11において、401は第4層目の配線層からなるキャパシタの一方の電極、501は第5層目の配線層からなるキャパシタの他方の電極、601は第4層目の配線層と第5層目の配線層とを絶縁する絶縁膜である。キャパシタの一方の電極401にはスルーホール604を介して電源ライン214を構成する配線層が電気的に接続される。この実施例においては、電極401と501との間の絶縁膜601に穴を形成してタンゲステンなどの高融点金属を埋めてなる接続用プラグ602を設け、この接続用プラグ602から絶縁膜601上にかけて誘電率の高い窒化シリコンのような絶縁膜603を形成することで、単位面積あたりの容量値の高いキャパシタを得るようにしている。

【0046】図12は、バイパスコンデンサを構成する容量の他の構造例を示す。この実施例は、図11の実施例において電極401と501との間の絶縁膜601に形成された穴に埋設されている接続用プラグ602に更に複数の溝を形成し、このプラグ602の溝内から絶縁膜601上にかけて絶縁膜603を形成することで、電極401と501の実質的な対向面積を増加させてさらに単位面積あたりの容量値の高いキャパシタを得るようにしたものである。

【0047】図13は、バイパスコンデンサを構成する容量のさらに他の構造例を示す。この実施例は、近年のダイナミックRAMにおけるキャパシタ形成技術を利用

してバイパスコンデンサを構成するキャパシタを構成するようにしたものである。図13の実施例において、611は半導体チップ210の表面に形成された絶縁膜、411は絶縁膜611上に形成された第1層目の配線層、612は配線層411上に形成された層間絶縁膜、412は層間絶縁膜612上に形成された第2層目の配線層である。この実施例においては、絶縁膜411に2段の溝が形成され、この溝の内壁にポリシリコン層621がCVD法などにより形成され、さらにそのポリシリコン層621の表面に薄い窒化シリコン膜622が形成され、その中にチタンナイトライドのような金属623が充填されて第2層目の配線層412が接続された構造を有する。

【0048】図14は、電源インダクタ255の第8の実施例を示す。この実施例は、WPP（ウェハ・プロセス・パッケージ）構造のLSIに適用する場合の一実施例である。この実施例では、半導体チップ210の周縁部に沿って形成された電源用パッド211を含む複数のパッドが形成されており、チップの中央部分のバッシベーション膜上には適当なピッチで多数の導電性バンプ700がマトリックス状に並んで設けられ、チップ周縁部のパッド211等と対応するバンプ700とがバッシベーション膜上に形成された導電層からなる配線710によって電気的に接続されている。上記バンプ700は、ピングリッドアレイのようなパッケージに設けられている各リードピンの内端部に導電性ボールにて結合されることでリードピンとの電気的接続が図られる。

【0049】この実施例では、電源用パッド211と対応する電源用バンプ701とを接続する配線711がチップ210の周縁部に沿って1周するように形成されており、これによって電源インダクタが構成されている。なお、図14には、1つの電源用パッドに関してのみ電源インダクタとなる配線711が示されているが、電源用パッドが複数ある場合には、他の電源用パッドに対しても同様な引回し配線からなる電源インダクタが設けられる。

【0050】図15は、WPP構造のLSIにおける電源インダクタ255の他の実施例を示す。この実施例は、半導体チップに複数の電源用パッドがありかつ配線層を1層にしたい場合などに有効な実施例であり、電源用パッド211a~211dからそれぞれ引き出された電源インダクタとなる配線711a~711dは、チップの1辺に沿ってそれぞれ同一回り方向に延設されてからチップの対角線に沿ってチップ中心部に延設され、中心部でUターンするように方向転換して対応する電源用バンプ701a~701dに接続されている。

【0051】図16は、WPP構造のLSIにおける電源インダクタ255の他の実施例を示す。この実施例は、半導体チップに複数の電源用パッドがありかつパッドとバンプ700との間のスペースに余裕がある場合に

有効な実施例であり、各電源用パッド211a, 211bから引き出された電源インダクタとなる配線711a, 711bがそれぞれ渦巻き状に形成されることで、インダクタンスが高くなっている。

【0052】図17には、更にインダクタンスを高くしたい場合に有効な電源インダクタとなる配線711の例を示す。ただし、この実施例の場合には電源用パッド701がチップの中心部付近に設けられていることが条件となる。なお、図17には、1つの電源用パッドに関してのみ電源インダクタとなる配線711が示されているが、電源用パッドが複数ある場合には、他の電源用パッドに関しても同様の渦巻き状の引回し配線からなる電源インダクタが設けられる。

【0053】次に、半導体チップ上に形成される上記実施例のデカップリング回路を構成するインダクタのインダクタンスとバイパスコンデンサの容量値の決定の仕方について説明する。

【0054】本発明者らは、半導体チップ上のデカップリング回路を構成するインダクタのインダクタンスとバイパスコンデンサの容量値は、LSIの電源インピーダンス（内部抵抗 R_{chip} と寄生容量 C_{chip} ）と電源電流（＝消費電流）が分かればシミュレーションにより決定できるのではないかと考えた。そこで、まず、標準的なLSIの電源インピーダンスと電源電流を知るために、図18のような測定用ボードを製作した。図において、400はプリント基板、200は測定対象となるLSI、401はプリント基板に設けられた電源電圧 V_{cc} の給電端子、402は接地電位GNDの給電端子、403は電源電圧 V_{cc} の給電端子401とLSIの外部電源端子221, 222, 223とを接続する電源ライン、404は接地電位GNDの給電端子402とLSIの外部接地端子231, 232, 233とを接続するグラウンドライン、405はグラウンドライン404の途中に設けられたSMAコネクタである。

【0055】次に、図18のボードを用いてLSIの電源電流を測定するため、図19に示すように、SMAコネクタ405に1Ω内蔵SMAコネクタプローブ422を介してデジタルオシロスコープ520を、また電源電圧 V_{cc} の給電端子401と接地電位GNDの給電端子402に安定化電源420を、また給電端子401, 402間にボード上の電源ライン403, 404や電源接続ケーブルのインピーダンス成分による電圧変動を抑えるためのバイパスコンデンサ421を接続して電源電流測定装置を構成し、定常状態でLSIより流れ出る電源電流 I_0 を測定した。図19の測定装置の等価回路は、図21のようになる。ここで、412は電源420を接続するケーブルのインダクタンス、 L_{board} はボード上の電源ライン403のインダクタンス、421は給電端子401, 402間のバイパスコンデンサであるが、DC電源電流の測定ではインダクタンス412はゼロ、バ

イパスコンデンサ421は無限大つまりないのと同じである。また、高周波では、バイパスコンデンサ421はショートとみなすことができる。よって、上記測定で得られた電流値 I_0 から、LSI200内の電流源254の電流値 I_{mac} が分かる。すなわち、平均電流で表わすと $I_{mac}=I_0$ である。また、周波数特性を考える必要がある場合には、電源電流 I_0 の時間波形 $I_0(t)$ をフーリエ変換して算出した周波数特性 $I_0(\omega)$ を用いて、次式（数5）

【0056】

【数5】

$$I_{mac}(\omega) = \frac{\frac{1}{R + \frac{1}{j\omega C_{chip}}} + \frac{1}{1 + j\omega L_{board}}}{1 + j\omega L_{board}} I_0(\omega)$$

にて表わすことができる。

【0057】また、測定電流 I_0 の直流成分を除いた交流成分から電源電流ノイズ量が分かる。あるいは、図19のデジタルオシロスコープの代わりにスペクトルアナライザを接続することにより、電源電流 I_0 の交流周波数すなわち電源電流ノイズ量を測定することも可能である。

【0058】なお、ここで、 I_{mac} は、LSI200内のすべての電流源に流れる電流を合わせたものを、仮想的な1つの電流源254に流される電流として表わしたものである。また、抵抗452は、SMAコネクタプローブ422の内蔵抵抗 r （＝1Ω）で、デジタルオシロスコープ520はこの抵抗452の両端子間電圧 V_0 を測定することで電流値 I_0 を、 $I_0=V_0/r$ より得ることができる。251はボード上の電源配線とLSIパッケージのリード端子やボンディングワイヤなどのインダクタンス成分である（チップ内の配線のインダクタンス成分は相対的に小さいので無視することとした）。従って、図21において、破線200で囲まれた部分がLSIの等価回路である。また、図19の測定装置では、実際のシステムボードに比べるとボード上の配線を短くしてあるので、パッケージのインダクタンスに比べるとボード上の配線のインダクタンスは無視できるほど小さくなる。従って、図20のインダクタ251は実質的にパッケージのインダクタンス成分とみなすことができる。

【0059】さらに、図18のボードを用いてLSIの電源インピーダンスを測定するため、図20のように、SMAコネクタ405に短絡用の部品411を挿入してグラウンドライン402を短絡し、電源電圧 V_{cc} の給電端子401と接地電位GNDの給電端子402との間にインピーダンスアナライザ510と電源420を接続してインピーダンス測定装置を構成して、インピーダンスアナライザ510で電源420の発生電圧 V_{CC0} に交流

波形を重畳し、LSI 200のインピーダンスを測定した。

【0060】なお、電源420のVcc側はフェライトビーズ412を介して給電端子401に接続してインピーダンスを高くすることで、インピーダンスアナライザ510が電源420のインピーダンスを含まずLSIのインピーダンスのみを測定できるようにした。図19の測定装置ではバイパスコンデンサ421を給電端子401と402との間に接続しているのに対して、図20の測定装置ではバイパスコンデンサを設けていないのは、図19の測定装置ではLSIに交流を印加するので、バイパスコンデンサを入れるとインピーダンスが下がってしまうからである。

【0061】そして、図20の測定装置の等価回路は図22のようになるので、図20の装置で測定されたLSIの電源インピーダンスと、図19の測定装置で測定されたLSIの電源電流値I0とから、ボード上の電源ライン403、404のインダクタンスLboard（パッケージのインダクタンスを含む）と、LSIの内部抵抗Rchipと寄生容量Cchipとを、回路方程式により算出した。なお、図22において、412はフェライトビーズのインダクタンス成分（電源ケーブルのインダクタンス成分を含む）、511は図20のインピーダンスアナライザ510で、このインピーダンスアナライザ510内にLSIに高周波成分を印加する交流電源が含まれている。インピーダンスアナライザ510には交流電源の他に、プローブや接続ケーブルのインピーダンス、入力抵抗も含まれているが、それらはプローブの先端でオープン（抵抗=∞）、ショート（抵抗=0）、サンプル負荷（例えば50Ωの抵抗）について測定を行なって知ることができるので、それに基づいて上記計算値を補正した。

【0062】次に、回路シミュレータにより、図19の測定装置をモデル化した図21の等価回路のシミュレーションを行なって、40～480MHzの範囲で40MHzおきごとのLSI 200の電源電流I0の交流成分（電源電流ノイズ量）を求め、LSI 200の電源電流周波数特性を調べた。また、図19の測定装置を使用してデジタルオシロスコープ520の代わりにスペクトルアナライザを用いて、LSI 200の電源電流I0の周波数特性を測定した。

【0063】図23には、上記のようにしてシミュレーションで算出された電源電流ノイズ量が○印で、また図19の測定装置により測定された電源電流ノイズ量が×印で示されている。図23の○印と×印を比較すると明らかのように、シミュレーションにより得られた電源電流ノイズ量の値と実験で測定された電源電流ノイズ量の値とは極めて近い値となっており、200MHz以下の周波数におけるシミュレーション結果と実測値との差は最大で1.3dBであり、一般的なLSIの動作周波数

帯で十分な精度が得られている。これより、図21のモデル化は正しいことが確認された。

【0064】次に、LSIに内蔵させる電源インダクタのインダクタンスの値とバイパスコンデンサの値を決定するために、図24の等価回路についてシミュレーションを行なった。図24において、255はLSIチップ210の電源ラインに挿入される前記実施例で説明したような配線パターンからなるインダクタ（Lchip）である。また、251はLSIパッケージのインダクタンス成分（Lpackage）、253'はLSIチップの電源配線に寄生する容量と前記実施例において電源配線間に設けたバイパスコンデンサの容量との和（Cchip）である。ここで、LSIチップの電源配線に寄生する抵抗Rchipと、電源容量Cchipのうち電源配線の寄生容量の大きさは、図22の等価回路のシミュレーションから分かるので、それを使用した。図25に電源インダクタンスがない場合のLSIの等価回路を示す。

【0065】図24には図21の抵抗452がないので、図25の等価回路におけるチップ内電流源254の電流Ichipを求める際には、抵抗452での電圧降下分を考慮して図21の回路のシミュレーションで得られた電流Imacの代わりに、 $I_{chip} = I_{mac} (V_{CC} - V_{SS}) / V_{chip0}$ で表わされる電流Ichipを使用した。ここでVchip0は、チップ内電流源254の両端子間の電圧を意味しており、 $V_{chip0} = V_{CC0} - V_0$ で表わせる。なお、VCC0は電源420の発生電圧、V0は抵抗452の両端子間電圧で $1\Omega \times (I_{mac}の時間平均)$ である。

【0066】シミュレーションでは、LSIの電源容量Cchipおよび電源インダクタンスLchipをパラメータとして、それぞれのパラメータの値を色々変えたときの定常状態での電源電流ノイズ量と、図26(A)のように電源電流I0を立ち上げたときに図26(B)のようにチップの電源電圧Vccが変動するときの電圧低下量ΔVを求めた。なお、ここでの電源電流ノイズ量は、図23から40～480MHzの範囲で最もノイズ量の大きな周波数40MHzでのノイズ量とした。

【0067】図27に上記シミュレーション結果をグラフで示す。図27には、チップの電源容量Cchipがそれぞれ1nF、3nF、10nF、30nFであるときに電源インダクタンスLchipを $1 \times 10^{-9} \sim 1 \times 10^{-6}H$ の範囲で変化させたときの電源電流ノイズ量の変動の特性が実線A、B、C、Dにより示されている。また、チップの電源容量Cchipがそれぞれ3nF、10nF、30nFであるときに電源インダクタンスLchipを $1 \times 10^{-9} \sim 1 \times 10^{-6}H$ の範囲で変化させたときのチップの電圧低下量の変動の特性が破線b、c、dにより示されている。図27において、左側の縦軸は電源電流ノイズ量のスケールを、また右側の縦軸は電圧低下量のスケールを示す。

【0068】実際にLSIを設計するに当たっては、上

10

20

30

40

50

記電源電流ノイズ量と電圧低下量がそれぞれの最大許容値を超えないようにLSIの電源インダクタンスと電源容量を決定してやる必要がある。電圧低下量に関しては、それがあある値を超えるとLSIが誤動作するおそれがある場合に、その許容値が最大許容値とされる。また、電源電流ノイズ量に関しては、ボード上の電源配線からの電磁放射量がある値以下にするため、予め設計段階である値以上大きな電源電流ノイズをLSIチップから外部に漏らしたくない場合に、規制値として設定されるノイズ量が最大許容値とされる。

【0069】以下、図27を利用して具体的にLSIの電源インダクタンスと電源容量値を決定する場合の手順を説明する。例えば設計しようとするLSIの電源電流ノイズ量の最大許容値が60dBμAであるときに電源容量値として10nF程度は確保できそうであれば、図27の左側の電源電流ノイズ量のスケールで60dBμAのポイントと交わる横野線X1と電源容量10nFでの電源電流ノイズ量特性を示す実線Cとの交点から、電源インダクタンスを求める。図27の場合には、電源インダクタンスを約 1×10^{-7} Hとすればよいことが分かる。

【0070】一方、電圧低下量の最大許容値が0.3Vであるときに容量値として10nF程度は確保できそうであれば、図27の右側の電圧低下量のスケールで0.3Vのポイントと交わる横野線X2と電源容量10nFでの電圧低下量特性を示す破線cとの交点から、電源インダクタンスを求める。図27の場合には、電源インダクタンスを約 8×10^{-8} Hとすればよいことが分かる。したがって、電源電流ノイズ量の最大許容値60dBμAと電圧低下量の最大許容値0.3Vの両方を満足させるには、電源容量10nFのときで電源インダクタンスは電源電流ノイズ量に対して余裕のある 1×10^{-7} Hとすればよい。上記とは逆に電源インダクタンスを先に決めてから図27より電源容量値を決定することも可能で

$$\frac{\left(\frac{I_{\max}(\omega)}{I_{\max}(\omega)} \cdot \frac{V_{CC0}}{V_{chip0}} \right)^2 \left((\omega C_{chip} R_{chip})^2 + 1 \right) - (\omega C_{chip} R_{chip})^2 + 1}{\omega^2 C_{chip}} - L_{package} = L_{chip}$$

【0075】

【0076】なお、これらの式はシミュレーションの過程で用いられた式を変形したものである。そして、式(数7)の中の $Ave\{I_{\max}(t)\}$ は I_{\max} の時間平均を、また式(数6)の中の V_{chip0} は図21における電流源254(I_{\max})の両端子間電圧の意味しており、 $V_{chip0} = V_{CC0} - 1 \Omega \times Ave\{I_{\max}(t)\}$ で表わすことができる。さらに、 $I_{\max}(\omega)$ は、図21(図19の等価回路)の測定系におけるシミュレーションにより得られた電源電流 I_0 の時間波形 $I_0(t)$ をフーリエ変換して算

ある。

【0071】なお、上述した電源インダクタンスと電源容量値の決定の仕方は、電源電流ノイズ量の最大許容値または電圧低下量の最大許容値をぎりぎり満足するように決定する場合であり、もっと余裕を持たせて電源インダクタンスと容量値を決定するようにしても良い。

【0072】本発明者らは、図27に示すようなシミュレーション結果に基づいて、電源電流ノイズ量の最大許容値または電圧低下量の両方を満足する電源インダクタンスと容量値の組合せをグラフ上に容易に決定できるようにするため、図28に示すように横軸を電源インダクタンス、縦軸を容量値とするグラフを作成し、電源電流ノイズ量 I_n の最大許容値(60dBμA)を満足する電源インダクタンスと電源容量の組合せを○印で、また電圧低下量 ΔV の最大許容値(0.3V)を満足する電源インダクタンスと電源容量の組合せを×印で示した。このグラフにおいて、ハッチングが付されている領域が電源電流ノイズ量の最大許容値と電圧低下量の最大許容値の両方を満足する電源インダクタンスと電源容量の組合せの領域である。このグラフを用いることにより、容易に電源電流ノイズ量の最大許容値と電圧低下量の最大許容値の両方を満足する電源インダクタンスと電源容量の組合せを決定することができる。

【0073】さらに、本発明者らは、上記グラフに一般性を与えることができないかと考え、○印をプロットした点を結ぶ曲線E1と×印をプロットした点を結ぶ曲線E2の式について検証した。その結果、周波数 ω における電源電流ノイズの最大許容値を $I_{\max}(\omega)$ 、チップの電圧低下量の許容値を ΔV とすると、上記曲線E1は次式(数6)により、また曲線E2は次式(数7)により近似できることが分かった。

【0074】

【数6】

【数7】

$$Ave\{I_{\max}(t)\} \cdot \frac{V_{CC0}}{V_{chip0}} \sqrt{\frac{L_{package} + L_{chip}}{C_{chip}}} \cdot \exp\left(-\frac{G}{\sqrt{4-G^2}} \arctan\left(\frac{(1-G^2)\sqrt{4-G^2}}{2G}\right)\right) \left(\frac{2}{\sqrt{4-5G^2+6G^4-G^6}}\right) = \Delta V$$

出した周波数特性 $I_0(\omega)$ を用いて、前述の式(数5)で表わしたものである。また、上記式(数7)において、 G は、 $G = R_{chip} / \sqrt{\{(L_{package} + L_{chip}) / C_{chip}\}}$ で表わされる定数である。

【0077】しかも、この式を用いると電源電流ノイズ量の最大許容値と電圧低下量の最大許容値が60dBμAと0.3V以外の場合における電源電流ノイズ量の最大許容値または電圧低下量の最大許容値を満足する電源インダクタンスと電源容量の組合せの臨界曲線も表わせ

る。

【0078】従って、図28においてハッチングで示した電源インダクタンスと電源容量の許容範囲は、次の不

等式(数8)、(数9)にて表わすことができる。

【0079】

【数8】

$$\frac{\sqrt{\left(\frac{I_{\max}(\omega)}{I_{\min}(\omega)} \cdot \frac{V_{CC0}}{V_{chip0}}\right)^2 \left((\omega C_{chip} R_{chip})^2 + 1\right) - (\omega C_{chip} R_{chip})^2 + 1}}{\omega^2 C_{chip}} - L_{board} \leq L_{chip}$$

【0080】

【数9】

$$Ave(I_{\max}(f)) \cdot \frac{V_{CC0}}{V_{chip0}} \sqrt{\frac{L_{board} + L_{chip}}{C_{chip}}} \cdot \exp\left(-\frac{G}{\sqrt{4-G^2}} \tan\left(\frac{(1-G^2)\sqrt{4-G^2}}{2G}\right)\right) \left(\frac{2}{\sqrt{4-5G^2+6G^4-G^6}}\right) \leq \Delta V$$

【0081】よって、上記不等式を満足するように電源インダクタのインダクタンスおよび電源容量の値を選択してやれば、電源電流ノイズを所望の値以下に抑えるのに必要な電源インダクタのインダクタンスおよび電源容量の値をシミュレーションによって容易に決定することができる。

【0082】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば半導体チップ上に形成される電源インダクタや電源容量は、前記実施例で示した具体例に限定されるものでなく、他の構造やチップに外付けされる素子として設けることも可能である。また、前記実施例では電源電圧端子と電源インダクタが複数個ある半導体集積回路について説明したが、本発明に係る半導体集積回路の設計方法は、電源インダクタが1つの半導体集積回路に対しても適用することができる。

【0083】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0084】すなわち、本発明に従うと、内部回路の動作に悪影響を与えることなく電源電流変動が外部へ伝播してその高周波成分により電磁波が発生するのを有効に防止できる半導体集積回路を実現することができる。

【0085】また、本発明の半導体集積回路の設計方法に従うと、電源電流ノイズを所望の値以下に抑えるのに必要な電源インダクタのインダクタンスおよび電源容量の値をシミュレーションによって容易に決定することができるようになる。

【図面の簡単な説明】

【図1】本発明を適用した半導体集積回路の概略構成を示す回路構成図である。

【図2】電源用パッドと電源ラインとの間に設けられるインダクタの具体的な構成例を示す平面図である。

【図3】内部回路に電源を供給する電源ラインとグラウンドラインの具体的な構成例を示す平面図である。

【図4】電源用パッドと電源ラインとの間に設けられるインダクタの他の構成例を示す平面図である。

【図5】電源インダクタの第3の実施例を示す平面図である。

【図6】図5の電源インダクタの断面構成を示す断面図である。

【図7】電源インダクタの第4の実施例を示す断面図である。

【図8】電源インダクタの第5の実施例を示す平面図である。

【図9】電源インダクタの第6の実施例を示す平面図である。

【図10】電源インダクタの第7の実施例を示す平面図である。

【図11】バイパスコンデンサの一部を構成する電源容量の具体例を示す断面図である。

【図12】バイパスコンデンサの一部を構成する電源容量の第2の実施例を示す断面図である。

【図13】バイパスコンデンサの一部を構成する電源容量の第3の実施例を示す断面図である。

【図14】本発明をWPP構造のLSIに適用した場合の電源インダクタの実施例を示す平面図である。

【図15】本発明をWPP構造のLSIに適用した場合の電源インダクタの他の実施例を示す平面図である。

【図16】本発明をWPP構造のLSIに適用した場合の電源インダクタの他の実施例を示す平面図である。

【図17】本発明をWPP構造のLSIに適用した場合の電源インダクタのさらに他の実施例を示す平面図である。

【図18】標準的なLSIの電源インピーダンスと電源電流を知るために作成した測定用ボードの概略構成を示す斜視図である。

【図19】図18の測定用ボードを使用してLSIの電源電流を測定する電流測定装置の概略構成を示す斜視図である。

【図20】図18の測定用ボードを使用してLSIの電源インピーダンスを測定するインピーダンス測定装置の概略構成を示す斜視図である。

【図21】図19の電流測定装置の等価回路を示す回路図である。

【図22】図20のインピーダンス測定装置の等価回路を示す回路図である。

21

【図 23】シミュレーションで算出された電源電流ノイズ量の特性と、図 19 の測定装置により測定された電源電流ノイズ量の特性を示す電源電流ノイズ特性図である。

【図 24】インダクタンスを入れた L S I のパッケージを含んだ等価回路を示す回路図である。

【図 25】インダクタンスのない L S I の等価回路を示す回路図である。

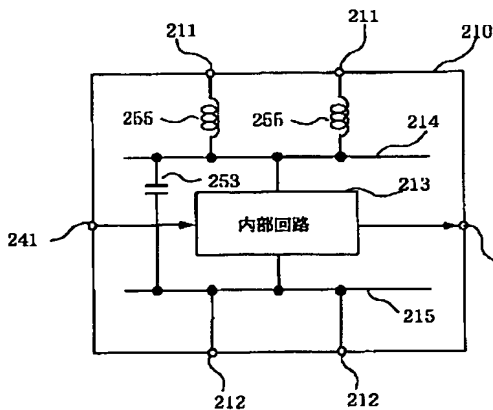
【図 26】 L S I における電圧低下量 ΔV を算出する際に L S I チップの流す電流と L S I チップの電源電圧の 10 変化の様子を示す波形図である。

【図 27】シミュレーションにより電源インダクタンスを変化させたときの電源電流ノイズ量の変動の特性と、チップの電圧低下量の変動の特性を示す特性図である。

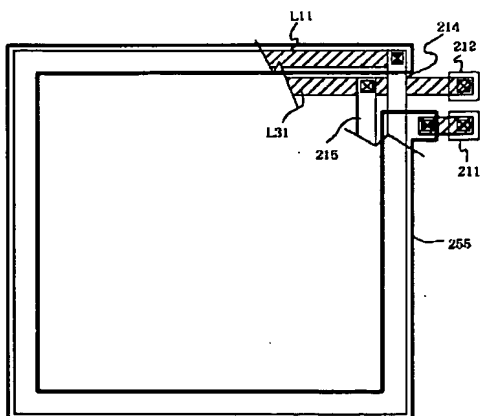
【図 28】本発明方法における電源電流ノイズ量 I_n の最大許容値と電圧低下量 ΔV の最大許容を満足する電源インダクタンスと電源容量の組合せの設定可能な範囲を表わしたグラフである。

【図 29】電源電流ノイズ対策を施した従来のプリント

【図 1】



【図 4】



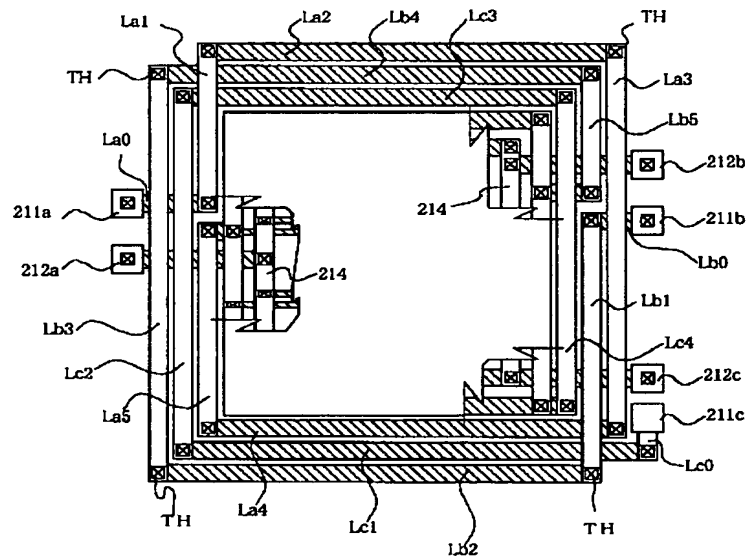
22

基板の構成例を示す斜視図である。

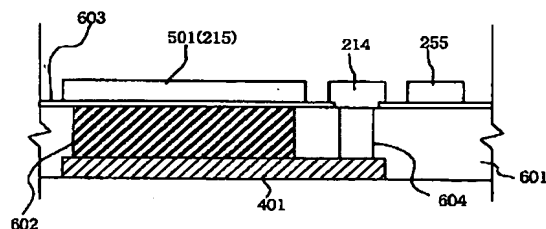
【符号の説明】

- 200 パッケージ状態の L S I (半導体集積回路)
- 210 半導体チップ
- 211 電源用パッド
- 212 接地電位用パッド
- 214 内部回路の電源ライン
- 215 内部回路のグラウンドライン
- 221~223 外部電源端子
- 231~233 外部接地端子
- 241 信号入力端子
- 242 信号出力端子
- 251 パッケージのインダクタンス
- 252 電源抵抗
- 253 電源容量
- 254 チップ内電流源
- 255 チップの電源インダクタ
- 420 外部電源

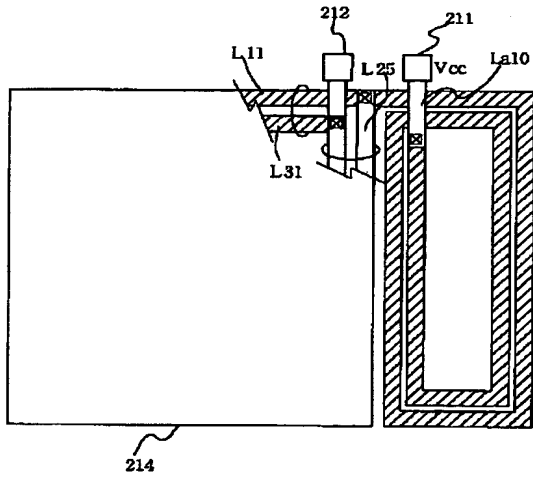
【図 2】



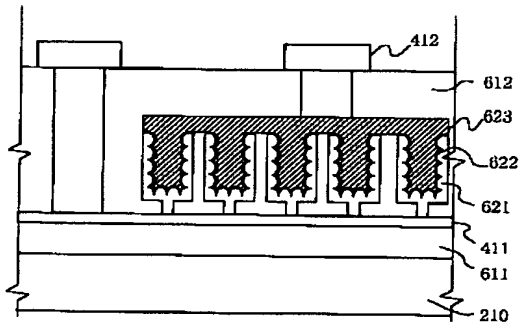
【図 11】



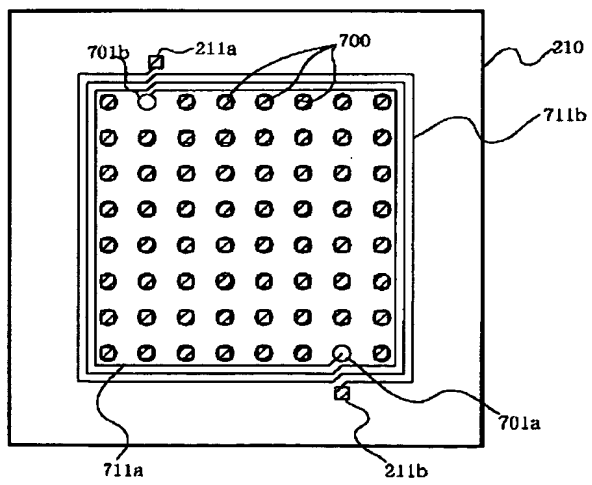
【図 10】



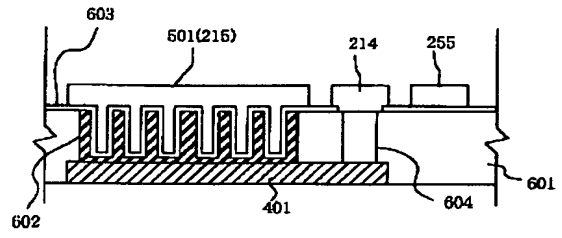
【図 13】



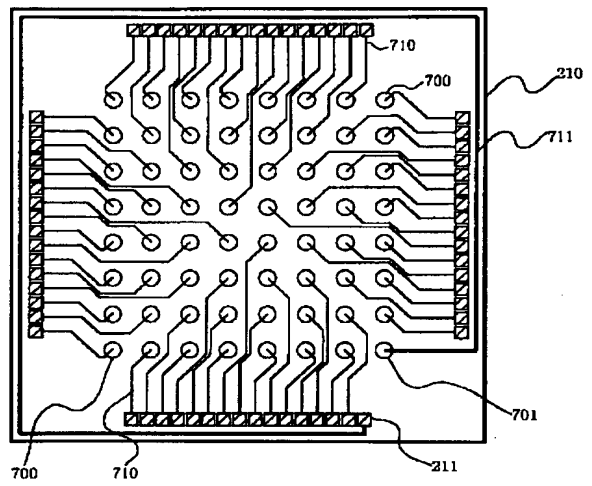
【图 16】



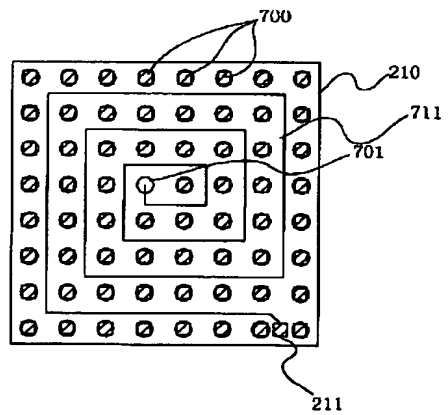
【图 1 2】



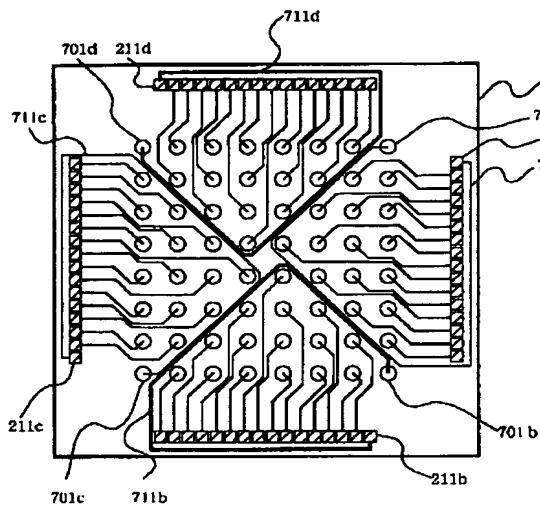
【図 14】



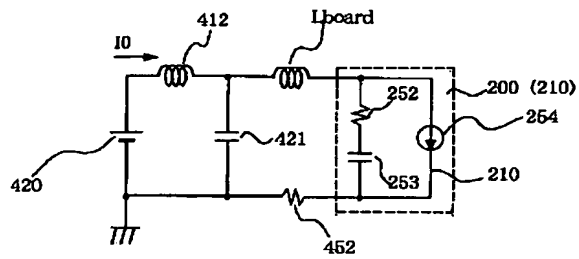
【図 17】



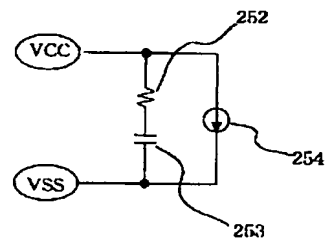
【図15】



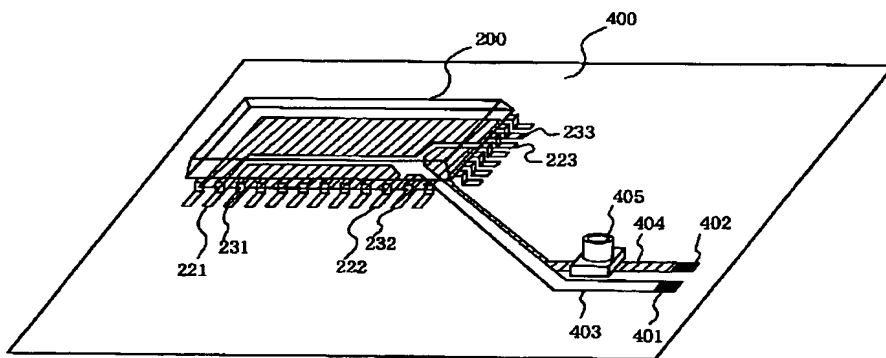
【図21】



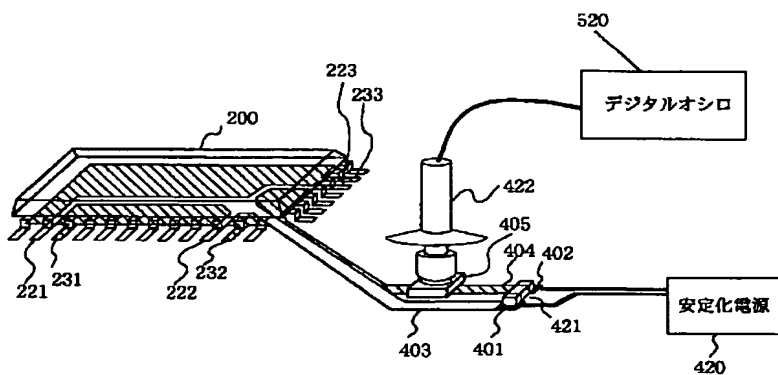
【図25】



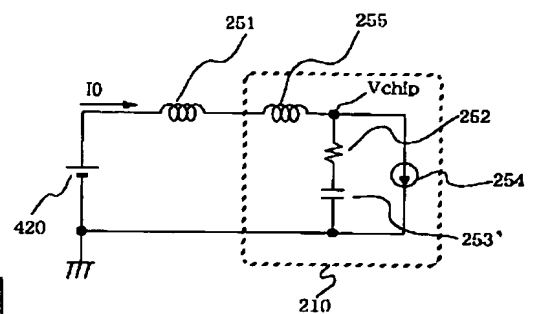
【図18】



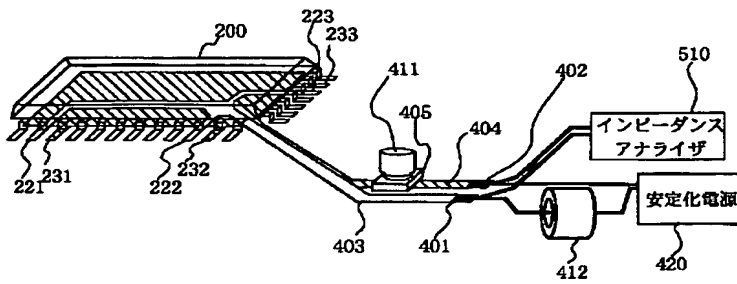
【図19】



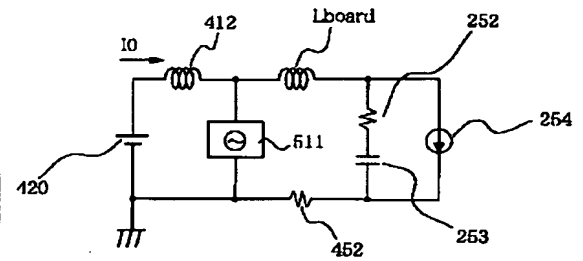
【図24】



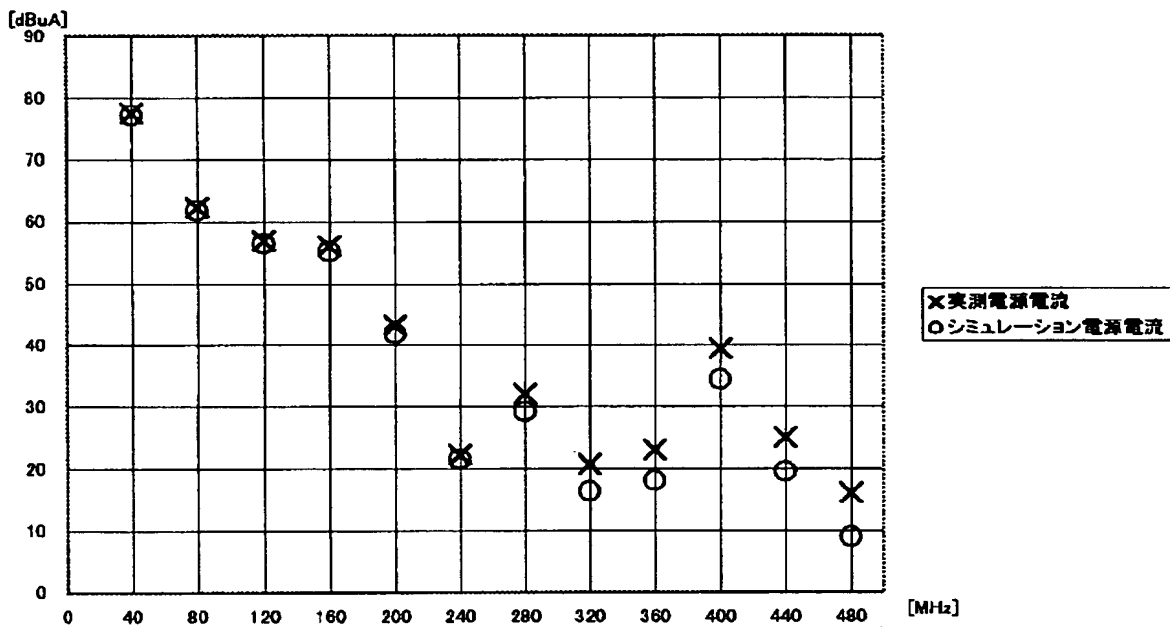
【図20】



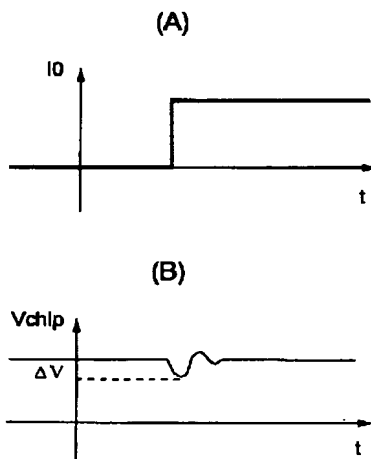
【図22】



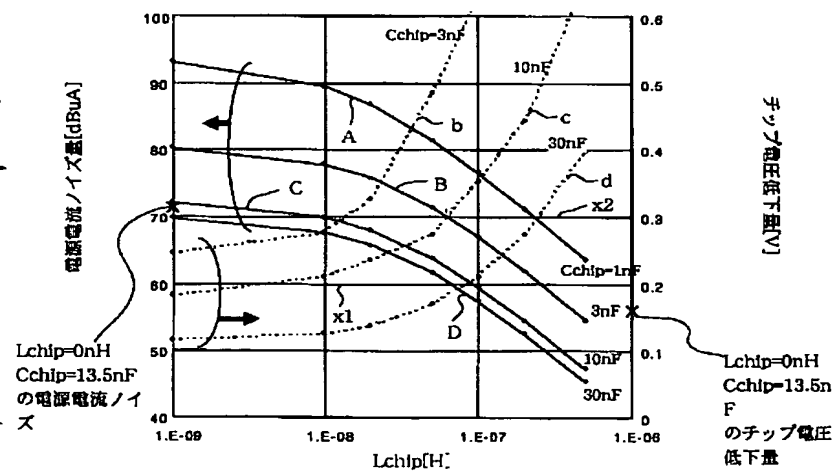
【図23】



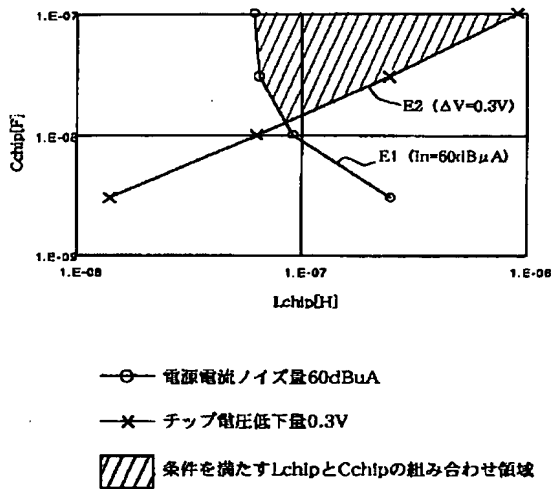
【図26】



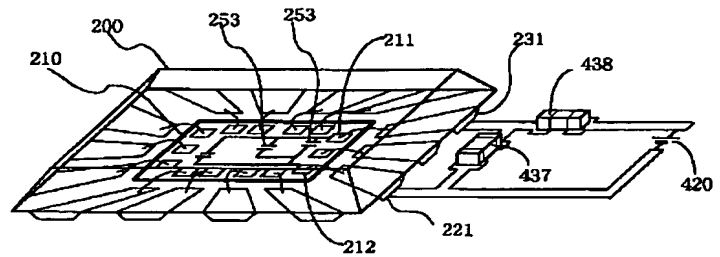
【図27】



【図28】



【図29】



フロントページの続き

(51) Int. Cl.⁷

H01L 21/82

識別記号

F I

H01L 21/82

27/04

テ-マ-ト' (参考)

C

D

(72) 発明者 蒲原 史朗

東京都小平市上水本町五丁目20番1号 株
 式会社日立製作所半導体グループ内

Fターム(参考) 5B046 AA08 BA04 JA04 JA10

5F038 AC10 AC14 AZ06 BH03 BH19

CD02 CD14 EZ09 EZ10 EZ20

5F064 EE43 EE44 EE45 EE52 HH06

HH09